

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ Offenlegungsschrift
⑯ DE 43 05 860 A 1

⑯ Int. Cl. 5:
G 06 F 12/08
G 06 F 12/10

DE 43 05 860 A 1

⑯ Aktenzeichen: P 43 05 860.4
⑯ Anmeldetag: 25. 2. 93
⑯ Offenlegungstag: 2. 9. 93

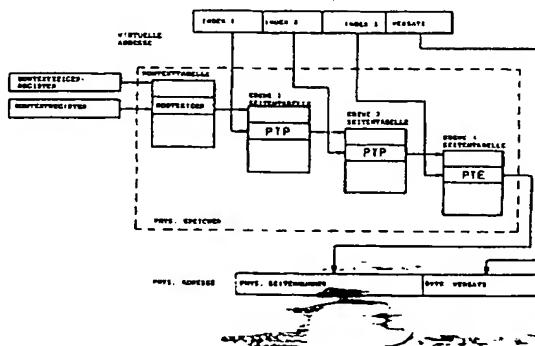
⑯ Unionspriorität: ⑯ ⑯ ⑯
25.02.92 KR 92-2912

⑯ Anmelder:
Hyundai Electronics Industries Co., Ltd., Ichon,
Kyoungki, KR
⑯ Vertreter:
Popp, E., Dipl.-Ing.Dipl.-Wirtsch.-Ing.Dr.rer.pol.;
Sajda, W., Dipl.-Phys.; Reinländer, C., Dipl.-Ing.
Dr.-Ing.; Bohnenberger, J., Dipl.-Ing.Dr.phil.nat.,
8000 München; Bolte, E., Dipl.-Ing.; Möller, F.,
Dipl.-Ing., Pat.-Anwälte, 2800 Bremen

⑯ Erfinder:
Koh, Dong-Bum, Seoul/Soul, KR

⑯ Speicherverwaltungseinheit

⑯ Bei einer Speicherverwaltungseinheit (MMU) zur Verwendung in einem Computersystem, wobei eine virtuelle Adresse in eine physische Adresse umgesetzt wird, um einen Zugriff auf einen Hauptspeicher zu erhalten, wird in einen RAM-Teil bei Übereinstimmung eines inhaltsadressierbaren Speichers (CAM) eingeschrieben, da die Kontextnummer beim Vergleichsprozeß eines TAG-Tails in dem entsprechenden Teil enthalten ist. Die Zahl von Tabellenzugriffen wird bei einem Mißerfolg beim Adreßumsetzpuffer bzw. TLB verringert.



DE 43 05 860 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 07.93 308 035/403

10/47

Beschreibung

Die Erfindung betrifft eine Speicherverwaltungseinheit bzw. MMU zur Verwendung in einem Computersystem, die die virtuelle Adresse, die von einem Prozessor erzeugt wird, in die für den Zugriff des Hauptspeichers erforderliche physische Adresse umsetzt, und betrifft insbesondere eine MMU zur Verwendung in einem Computersystem, die die Arbeit des Ungültigmachens bei jeder Kontextänderung beseitigen kann, da ein Kennzeichensfeld, das einen virtuellen Adreßteil und eine Kontextnummer CXN enthält, in dem Vergleichsteil eines Seitentabellenzeigerpuffers PTPC enthalten ist, während ein Mißerfolg bzw. Fehlversuch (miss) bei einem Adreßumsetzpuffer bzw. TLB stattfindet.

Wie allgemein bekannt ist, ist zur Adreßumsetzung eine Seitentabelle in einem virtuellen Speichersystem, die die Art der Seite, die in dem realen Speicherbereich angeordnet ist, und die Beziehung zwischen einer virtuellen Adresse und einer realen Speicheradresse bezeichnet, im Hauptspeicher gespeichert, und ein Adreßumsetzpuffer TLB ist im allgemeinen in einer Speicherverwaltungseinheit enthalten, um den Overhead oder zusätzlichen Arbeits- bzw. Platzbedarf zu verringern, wenn ein Zugriff auf die obige Seitentabelle erfolgt. Nachdem die Seitentabelle unterteilt worden ist, um den im Hauptspeicher enthaltenen Seitentabellenbereich zu verringern, wird bei einem TLB-Mißerfolg ein Tabellenzugriff des Hauptspeichers mehrfach durchgeführt, wobei TLB ein spezieller Arbeitsspeicher ist, der dazu dient zu bestimmen, ob das gegebene Segment und die gegebene Seite in dem Hauptspeicher abgelegt sind.

Bei einem konventionellen Verfahren zur Verringerung des Overheads während eines TLB-Mißerfolgs sind mehrere Register mit der Funktion vorgesehen, die auf die Adreßumsetzung bezogene Information zu speichern. Wenn jedoch eine Kontextänderung oder -umschaltung erfolgt, werden alle Einträge ungültig gemacht. Daher besteht das Problem, daß in einem Realzeitsystem mit eingebettetem Steuerteil eine Kontextänderung häufig auftritt, so daß sämtliche Einträge häufig ungültig gemacht werden.

Es ist somit Aufgabe der Erfindung, zur Verringerung des Overheads, wenn ein TLB-Mißerfolg stattfindet, und zur Beseitigung des Nachteils eines Ungültigmachens sämtlicher Einträge bei einer Kontextänderung beizutragen.

Zu diesem Zweck ist gemäß der Erfindung das Kennzeichens- bzw. TAG-Feld, das einen Teil der virtuellen Adresse und der Kontextnummer CXN enthält, im Vergleichsteil vorgesehen. Da gemäß der Erfindung der Vergleichsteil von TAG und CXN aus einem inhaltsadressierbaren Speicher CAM bzw. der Vergleichsteil des Seitentabellenzeigers PTP aus einem RAM bestehen, kann die Zahl der Einträge leicht erweitert werden, so daß eine Reihe von Einträgen gleichzeitig vorhanden sein kann.

Da der durch den Tabellenzugriff für jeweils vier neue Schritte erhalten PTP-Wert den letzten PTP-Wert, der durch Tabellenzugriff für vier vorhergehende Schritte erhalten wurde, nicht überschreibt, bleiben die Daten der vorhergehenden Schritte erhalten. Wenn der PTP-Wert im gleichen Kontext benötigt wird, wird der durch einen vorhergehenden Tabellenzugriff erhaltene PTP-Wert direkt genutzt.

Zur Lösung der angegebenen Aufgabe beseitigt die Erfindung die Notwendigkeit des Ungültigmachens von Einträgen bei jeder Kontextänderung und erweitert die

Zahl von Einträgen in einfacher Weise durch das Vorsehen des TAG-Teils und des CXN-Teils in dem Vergleichsteil und durch das Vorsehen des Vergleichsteils von TAG und CXN als inhaltsadressierbaren Speicher CAM und des PTP-Teils als RAM.

Die Erfindung wird nachstehend, auch hinsichtlich weiterer Merkmale und Vorteile, anhand der Beschreibung von Ausführungsbeispielen und unter Bezugnahme auf die beiliegenden Zeichnungen näher erläutert.

10 Die Zeichnungen zeigen in:

Fig. 1 ein Blockschema des Tabellenzugriffsmechanismus eines konventionellen Seitentabellen-Zeigerpuffers (PTPC);

Fig. 2 ein Blockschema des Tabellenzugriffsmechanismus mit vier allgemeinen Schritten;

Fig. 3 ein Blockschema des erweiterten Zusatzpuffers mit einem externen Rootzeiger- bzw. RP-Register gemäß der Erfindung;

Fig. 4 ein detailliertes Blockschema des in Fig. 3 gezeigten inhaltsadressierbaren Speichers CAM;

Fig. 5 ein detailliertes Blockschema des in Fig. 3 gezeigten RAM; und

Fig. 6 ein detailliertes Blockschema des CAM- und RAM-Eingaberegisters von Fig. 3.

25 Die Fig. 1 bis 6 sind Blockdiagramme, die eine durch die Erfindung verbesserte Speicherverwaltungseinheit zeigen.

Ein Tabellenzugriffsmechanismus mit vier Schritten gemäß Fig. 1 ist in SPARC ARCHITECTURE, CY-30 PRESS SEMICONDUCTOR, ROSS TECHNOLOGY SUBSIDIARY, SPARC RISE USER'S GUIDE, SECOND EDITION, Februar 1990, S. 4-8 und S. 4-11 beschrieben. Dabei wird der Overhead des Tabellenzugriffs, der bei einem TLB-Mißerfolg auftritt, reduziert durch die Verwendung eines Index-Kennzeichenregisters (ITAG), das einen mit der virtuellen Adresse zu vergleichenden Wert hat, und des IPTP- und DPTP-Registers mit dem letzten Seitentabellenzeiger, der bei dem Vergleichsergebnis verwendet wird. TAG bestimmt, ob der in dem IPTP und DPTP gespeicherte Wert während eines aktuellen Betriebszugriffs verwendet wird, und speichert einen Teil der virtuellen Adresse, wenn der IPTP und DPTP gespeichert werden. Es ist zu beachten, daß das vorstehende Verfahren bei dem Tabellenzugriffsmechanismus, der aus mehreren Schritten besteht, sowie einem Tabellenzugriffsmechanismus mit vier Schritten angewandt wird.

35 Im Fall der Verwendung des Tabellenzugriffsmechanismus, der mehrere Schritte umfaßt, werden bei einer Änderung des Kontexts alle drei Einträge des PTPC, die IPTP, DPTP und RP sind, ungültig gemacht, wobei RP den Rootzeiger bezeichnet. Eine häufige Kontextänderung ist daher nicht günstig. Da außerdem von jedem Eintrag nur ein Wert existiert, müssen IPTP und DPTP 40 durch einen neuen Wert ersetzt werden, wenn mit vier Schritten Zugriff auf die Tabelle erfolgt. Der Nachteil ist daher, daß der Tabellenzugriff des Hauptspeichers erneut verarbeitet wird, wenn der nichtersetzte vorhergehende Wert erneut verwendet wird. Aus diesem Grund werden bei einer Kontextänderung sämtliche Einträge 45 ungültig gemacht. Im Fall eines Realzeitsystems oder eines eingebetteten Steuerungssystems werden sämtliche Einträge häufig ungültig gemacht, da der Kontext häufig geändert wird.

50 Fig. 2 ist ein Blockschema, das einen Tabellezugriffsmechanismus mit vier allgemeinen Schritten zeigt. In Fig. 2 ist, um die Größe der Seitentabelle bei der Umsetzung der Adresse zu verringern, die Seitentabelle in

Tabellen mit mehreren Schritten unterteilt, und es werden mehrere Tabellenzugriffe verarbeitet. Es spielt zwar keine Rolle, in wie vielen Schritten der Tabellenzugriff verarbeitet wird, aber bei der vorliegenden Erfindung wird der Tabellenzugriff mit vier Schritten beschrieben. Während eines Tabellenzugriffs mit vier Schritten wird eine virtuelle Adresse in vier Teile unterteilt, und der Tabellenzugriff zur Übertragung des Seitentabelleneintrags PTE, der die physische Seitenzahl PPN enthält, ist ebenfalls in vier Teile unterteilt, wobei Kontexttabelle für die Tabelle steht, auf die zuerst zugegriffen wird, und RP für den Wert der Zeigeradresse steht, die in der obigen Kontexttabelle gespeichert ist. Dieses obige RP dient als Adreßzugriffs-Seitentabelle für den nächsten Schritt. Es ist daher erforderlich, daß vier Speicherzugriffe verarbeitet werden, um gemäß den obigen Vorgängen einen PTE, der eine PPN enthält, zu übertragen.

Wenn Zugriff auf eine Tabelle durch einen TLB-Mißerfolg erfolgt, wird der PTPC der Ebene 2 in einem externen Register gespeichert, um den Overhead durch den Speicherzugriff zu verringern. Wenn der obige gespeicherte Wert während des nächsten TLB-Mißerfolgs verwendet wird, wird nur ein Speicherzugriff benötigt. Daher findet ein sehr effizienter Betrieb statt. In diesem Moment werden zur Bestimmung, ob der PTP-Wert der Ebene 2 beim nächsten Zugriff verwendet wird, der INDEX-1- und INDEX-2-Teil der virtuellen Adresse in dem TAG-Feld gespeichert und dann mit dem TAG-Feld innerhalb des gleichen Kontexts verglichen, um den PTP der Ebene 2 während eines TLB-Mißerfolgs zu verwenden. Wenn aus dem Vergleich zwischen dem TAG-Feld und dem INDEX-1- und INDEX-2-Teil der virtuellen Adresse ein Erfolg oder Treffer resultiert, bezeichnet der obige Zugriff einen Tabellenzugriff mit vier Schritten, weil die Gültigkeit des PTP bedeutet, daß die Fallverarbeitung durch den Tabellenzugriff mit vier Schritten im gleichen Kontext existiert.

Fig. 3 ist ein Blockschema eines erweiterten Zusatzpuffers mit einem externen RP-Register gemäß der Erfindung. Wenn gemäß Fig. 3 in dem Realzeit- und eingebetteten Steuerungssystem eine häufige Kontextänderung erfolgt, werden das TAG-Feld und der CXN-Teil dem Vergleichsteil hinzugefügt, um den Nachteil des Ungültigmachens des gewählten PTP auszuschließen. Zum Hinzufügen des TAG-Felds und des CXN-Teils zu dem Vergleichsteil bestehen der TAG- und der CXN-Teil aus dem inhaltsadressierbaren Speicher bzw. CAM 2, und der PTP der Ebene 2 besteht aus dem RAM 3. Daher wird der Teil RAM 3 durch Übereinstimmung des CAM 2 gelesen. Bei der obigen Konstruktion kann der RP in dem Teil RAM 3 nicht eingerichtet werden. Es ist zwar möglich, den RP in dem Teil RAM 3 einzurichten, das unterbleibt aber wegen der komplizierten Steuerung durch peripherie Schaltkreise.

Der CAM 2 ist eine Speichereinrichtung, die sehr schnell nur Daten mit den gegebenen Charakteristiken innerhalb mehrerer gespeicherter Daten sucht. Zur Annäherung an die in der Speichereinrichtung gespeicherte Information findet der CAM 2 den Ort der gewünschten Information durch Nutzung eines Teils der gespeicherten Information anstelle der Verwendung der Adresse. Danach kann der CAM 2 auf die übrige Information von dieser Stelle aus zugreifen. Wenn ferner der Kontext nicht umgesetzt wird, ist es besser, wenn das zusätzliche Rootzeigerregister RPR extern vorgesehen ist, weil der RP immer in effizienter Weise zu einer guten Leistung führt. Daher kann durch die Wahl der

vorstehenden Struktur die PTP-Zahl leicht erweitert werden, und ein Verlust aufgrund der Verwendung nur eines Eintrags wird verhindert.

Im Fall der Verwendung eines Eintrags wird der PTP durch einen Tabellenzugriff mit vier neuen Schritten ersetzt. Wenn die aktuelle Operation den PTP-Wert vor dem Ersetzen verwendet, wird der Tabellenzugriff mit vier Schritten erneut durchgeführt. Wenn in diesem Fall der Wert eines Inhaltstabellenzeiger-Registers (CTPR) geändert wird, werden sämtliche Einträge einschließlich des RPR ungültig. Da jedoch der obige CTPR-Wert nicht oft geändert wird, spielt es keine Rolle, daß der CTPR-Wert nicht im Vergleichsteil enthalten ist. Wenn ferner eine TLB-Flush-Operation implementiert wird, ist das Ungültigmachen des RPR nicht erforderlich, und der PTP in dem entsprechenden Kontext wird ungültig gemacht. In diesem Fall werden einige der peripheren Schaltkreise benötigt.

Hier gibt es den Decodierer bzw. DEC, um die Erstellungsstrategie zu realisieren, wenn neue Einträge gespeichert werden. Das RP-gültig- und das PTP-gültig-Signal sind Steuersignale, um zum Steuerteil zu gehen. Wenn das PTP-gültig-Signal während eines TLB-Mißerfolgs auftritt, erfolgt Zugriff auf die Seitentabelle unter Verwendung des PTP der Ebene 2 im RAM-Eingaberegister 5. Wenn ferner das PTP-gültig-Signal nicht auftritt, erfolgt ein Zugriff zu der Seitentabelle unter Verwendung des RP durch Prüfung des RP-gültig-Werts.

Fig. 4 ist ein detailliertes Blockschema einer Zelle, die aus dem CAM 2 besteht, der in Fig. 3 gezeigt ist; Fig. 5 ist ein detailliertes Blockschema einer Zelle, die aus dem RAM 3 besteht; und Fig. 6 ist ein detailliertes Blockschema für eine Bitzelle des CAM-Eingaberegisters 4 und des RAM-Eingaberegisters 5.

Gemäß Fig. 4 ist ein Signal WTAG ein Steuersignal, das im Steuerteil erzeugt wird, wenn der Wert des CAM-Eingaberegisters 4 in den CAM 2 eingeschrieben wird. Gemäß Fig. 5 ist das Signal WPTP 2 ein Steuersignal, das im Steuerteil erzeugt wird, wenn der Teil PTP 2 des RAM-Eingaberegisters 5 von Fig. 3 in den RAM 3 eingeschrieben wird; das Signal WV ist ein Steuersignal, wenn das Gültig-Bit bzw. V-Bit des RAM-Eingaberegisters 5 in den RAM 3 eingeschrieben wird.

Wie Fig. 5 zeigt, ist der Teil innerhalb der gestrichelten Linie, der nur im Bitteil verwendet wird, ein zusätzlicher Teil, um alle Einträge gleichzeitig ungültig zu machen.

Unter Bezugnahme auf Fig. 6 wird ein einzelnes Bit des CAM-(RAM-)Eingaberegisters, das die Schreib/Lesefähigkeit des CAM (RAM) unterstützt, beschrieben. Für die genannte Funktion besteht es aus zwei CMOS-Durchgangstransistoren M33, M34 und zwei NICHT-Gliedern INV31, INV32 und enthält eine-Rückkopplungsstrecke.

Nachstehend wird der Vorgang des Auslesens oder Einschreibens von Information aus dem CAM (RAM)-Eingaberegister in den CAM (RAM) im einzelnen beschrieben. Zuerst wird erläutert, daß die Information aus dem CAM-Eingaberegister 4 in den Teil CAM 2 eingeschrieben wird. Ein Mißerfolg beim erweiterten Zusatzpuffer tritt ein, wenn ein Mißerfolg beim TLB vorliegt, der eine spezielle Arbeitsspeichereinrichtung ist, die die Funktion hat zu bestimmen, ob das gegebene Segment und die gegebene Seite im Hauptspeicher vorhanden sind. Dabei wird die obige Information in dem erweiterten Zusatzpuffer gespeichert, um beim nächsten Mal wiederverwendet zu werden, wenn sämtliche

Prozesse der Adreßumsetzung durchgeführt sind, um einen Seitentabelleneintrag PTE zu erhalten. Zu diesem Zeitpunkt werden nach Zwischenspeicherung im CAM- und RAM-Eingaberegister 4,5 Daten in den CAM 2 und den RAM 3 eingeschrieben.

Wenn, wie Fig. 6 zeigt, externe Information im Eingaberegister zwischengespeichert ist, werden C-Laden und r-Laden des CMOS-Durchgangstransistors M33 nicht aktiviert, und das Signal WTAG von Fig. 4 wird ebenfalls nicht freigegeben. Wenn danach Information im RAM-Eingaberegister 5 zwischengespeichert ist, werden r-Laden des CMOS-Durchgangstransistors M33 und r-Nichtladen des CMOS-Durchgangstransistors M34 nicht aktiviert, und die Signale WPTP 2 und WV gemäß Fig. 5 werden ebenfalls nicht freigegeben. Unter Berücksichtigung des Vorgangs, daß Information des CAM-Eingaberegisters 4 in den Teil CAM 2 eingeschrieben wird, werden C-Laden des CMOS-Durchgangstransistors M33 und C-Nichtladen des CMOS-Durchgangstransistors M34 nicht aktiviert, und das Signal WTAG gemäß Fig. 4 wird freigegeben. Wenn die Wortleitung aktiviert ist, wird zu diesem Zeitpunkt die Information in eine Zelle eingeschrieben.

Wenn, wie oben beschrieben, Information aus dem RAM-Eingaberegister 5 in den RAM 3 eingeschrieben wird, werden r-Laden des CMOS-Durchgangstransistors M33 und r-Nichtladen des CMOS-Durchgangstransistors M34 nicht aktiviert, und die Signale WPTP 2 und WV, die in Fig. 5 gezeigt sind, werden freigegeben. Zu diesem Zeitpunkt werden Daten in eine Zelle eingeschrieben, weil die Wortleitung aktiviert ist. Da der CAM 2 bei der Durchführung der Adreßumsetzung sämtliche Einträge (CAM-Teil) vergleicht, um zu bestimmen, ob der CAM entsprechende Informationen hat, werden mit der Außenseite verglichene Daten nur im CAM-Eingaberegister 4 zwischengespeichert. Wenn dann die Wortleitung abgeschaltet ist, wird nur das Signal WTAG gemäß Fig. 4 freigegeben. Wenn zu diesem Zeitpunkt eine Übereinstimmung hergestellt wird, wird die Übereinstimmungsleitung aktiviert, und dann wird der RAM 3 ausgelesen.

Wenn bei dem Vorgang der Erzeugung des Steuersignals während des Datenvergleichs des CAM 2 die Daten von außen in dem CAM-Eingaberegister 4 zwischengespeichert werden, werden die Signale C-Laden des CMOS-Durchgangstransistors M33, C-Nichtladen des CMOS-Durchgangstransistors M34 und WTAG gemäß Fig. 4 nicht freigegeben. Wenn zu diesem Zeitpunkt die Information des Eingaberegisters zum CAM 2 auf der Bitleitung zum Vergleich übermittelt wird, wird nur das Signal WTAG aktiviert, und das Wortleitungssignal wird freigegeben.

Wenn die Information des CAM 2 verglichen wird, wird auch das Steuersignal erzeugt, wenn Daten aus dem RAM 3 über die Übereinstimmungsleitung im RAM-Eingaberegister 5 zwischengespeichert werden. In diesem Fall wird r-Laden des CMOS-Durchgangstransistors M33 aktiviert, und r-Nichtladen des CMOS-Durchgangstransistors M34 und WPTP 2 oder WV von Fig. 5 werden nicht aktiviert. Wenn die Information des RAM-Eingaberegisters 5 nach außen eingeschrieben wird, wird r-Nichtladen des CMOS-Durchgangstransistors M34 aktiviert, und r-Laden des CMOS-Durchgangstransistors M33 und das Signal WPTP 2 oder WV von Fig. 5 werden nicht aktiviert, wobei es im Normalbetrieb nicht notwendig ist, daß der Inhalt des Teils des CAM 2 in das CAM-Eingaberegister 4 eingeschrieben wird. Daher wird die obige Operation für Diagnose-

zwecke genutzt.

Da ferner WPTP 2 und WV gemäß Fig. 5 im Normalbetrieb nicht unabhängig für den Teil RAM 2 genutzt werden, können das Signal WPTP 2 und WV für Diagnosezwecke genutzt werden, so daß sie durch ein Steuersignal ersetzt werden können. Wenn in den Teil RAM 3 für Diagnosezwecke eingeschrieben wird, wird der Teil RAM 3 in das RAM-Eingaberegister 5 ohne zusätzliche Hardware durch die Übereinstimmungsleitung während des Vergleichsvorgangs des Teils CAM 2 eingeschrieben. Wenn eine Übereinstimmung auftritt, wird der Eingang des Teils RAM 3 für die Übertragung zur Wortleitung aktiviert. Wenn ferner in den Teil RAM 3 eingeschrieben oder daraus ausgelesen wird, wird der Eingang des Teils RAM 3, der zur Wortleitung übertragen, durch den Ausgang des Decodierers 1 aktiviert.

Wenn der Kontext geändert wird, werden, wie vorstehend beschrieben, sämtliche PTP-Einträge einschließlich des RPR ungültig gemacht. Insbesondere in einem Realzeitsystem und eingebetteten Steuerungssystem mit häufiger Kontextänderung ist das konventionelle Verfahren nicht effizient. Da gemäß der Erfindung TAG dazu genutzt wird zu bestimmen, ob der in IPTP und DPTP gespeicherte Wert während des aktuellen Betriebszugriffs genutzt wird, und da CXN in Vergleichsteil enthalten ist, brauchen nicht sämtliche Einträge ungültig gemacht zu werden. Daher wird das Produkt verbessert, und der zusätzliche Erweiterungspuffer läßt sich ohne weiteres durch CAM und RAM erweitern. Aus diesem Grund wird der bei der Adreßumsetzung auftretende Overhead verringert unter Verwendung des zusätzlichen Erweiterungspuffers, der aus dem TLB mit geeigneter Leistungsfähigkeit, dem CAM und dem RAM besteht. Ferner kann die Erfindung sowohl bei einem physischen Cache-Speicher als auch einem virtuellen Cache-Speicher Anwendung finden, und die Zahl der Tabellenzugriffsschritte ist nicht begrenzt.

Patentansprüche

1. Speicherverwaltungseinheit (MMU) zur Verwendung in einem Computersystem, um eine virtuelle Adresse in eine physische Adresse für den Zugriff auf den Hauptspeicher umzusetzen, gekennzeichnet durch

- einen Kontextnummernteil (CXP) zum Vergleich mit dem aktuellen Operationskontext;
- einen TAG-Teil, der einen Teil der virtuellen Adresse enthält; und
- einen Seitentabelleneinzeiger (PTP), der eine Tabelle mit Seitentabelleneintrag (PTE) ist.

2. Speicherverwaltungseinheit (MMU) zur Verwendung in einem Computersystem nach Anspruch 1, dadurch gekennzeichnet, daß ~~der~~ TAG-Teil die Kontextnummer vergleicht und ~~der~~ Teil der virtuellen Adresse aus ~~einem~~ ~~inhaltsadressierbaren~~ Speicher (CAM) besteht.

3. Speicherverwaltungseinheit (MMU) zur Verwendung in einem Computersystem nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Seitentabelleneinzeiger (PTP) aus einem RAM besteht.

4. Speicherverwaltungseinheit (MMU) zur Verwendung in einem Computersystem nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß in den RAM bei Übereinstimmung des CAM-Teils eingeschrieben wird, da die Kontextnummer beim Vergleichsprozeß des TAG-Teils in dem entsprechenden Teil

DE 43 05 860 A1

7

8

enthalten ist.

Hierzu 6 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

ZEICHNUNGEN SEITE 1

Nummer:
Int. Cl. 5:
Offenlegungstag:

DE 43 05 860 A1
G 06 F 12/08
2. September 1993

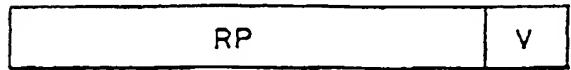
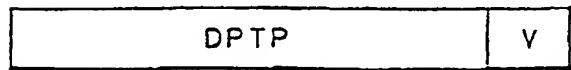
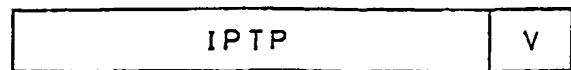


Fig. 1

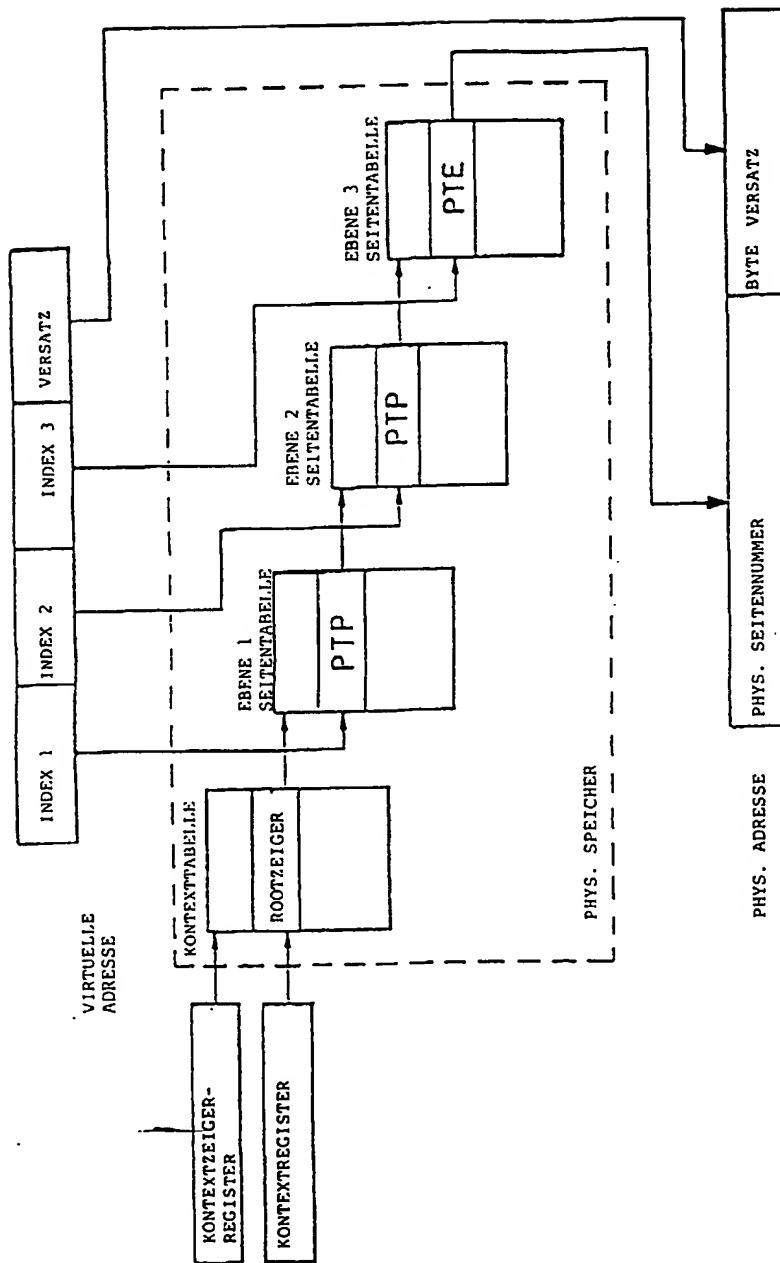


Fig. 2

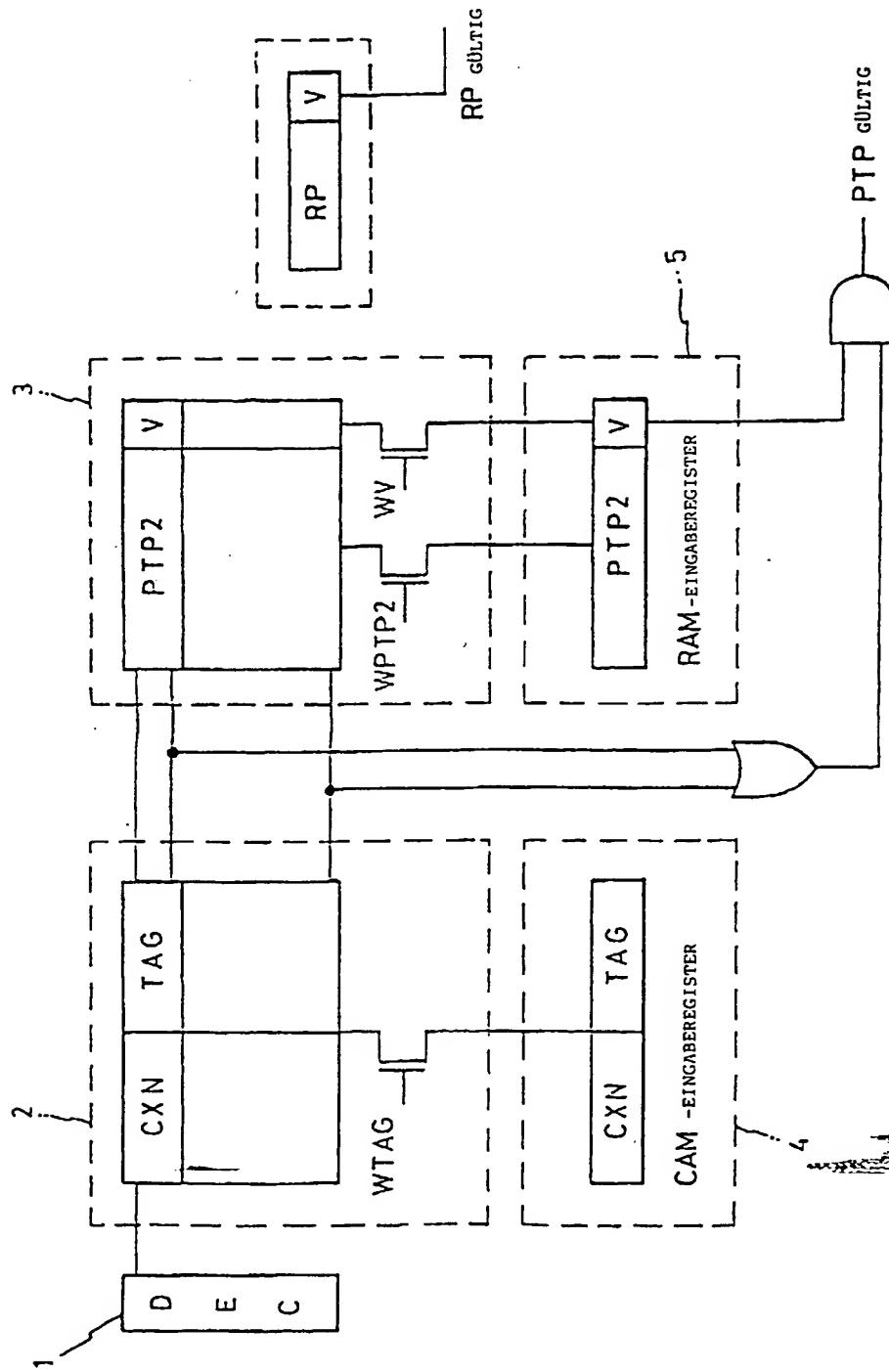


Fig. 3

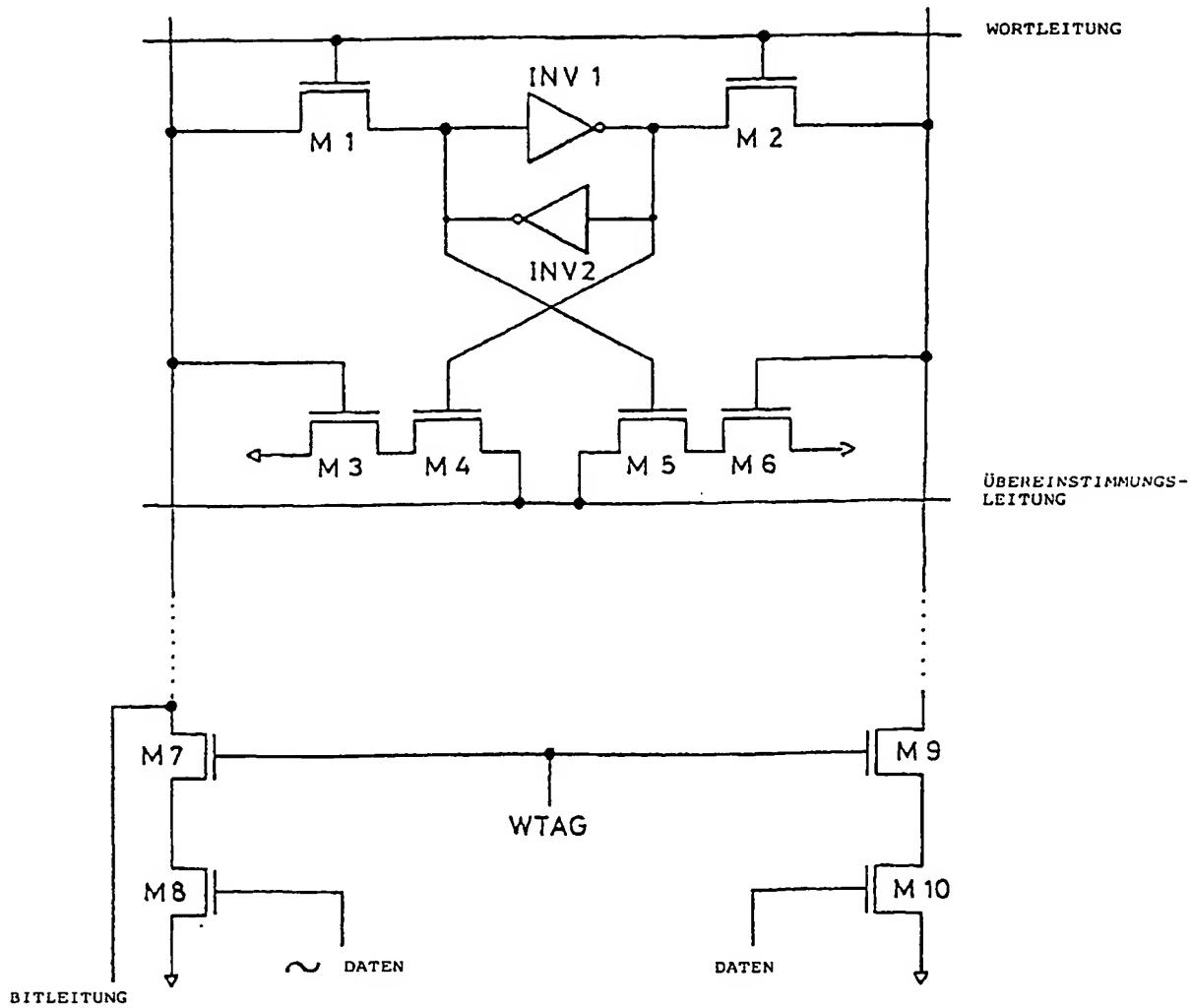


Fig. 4

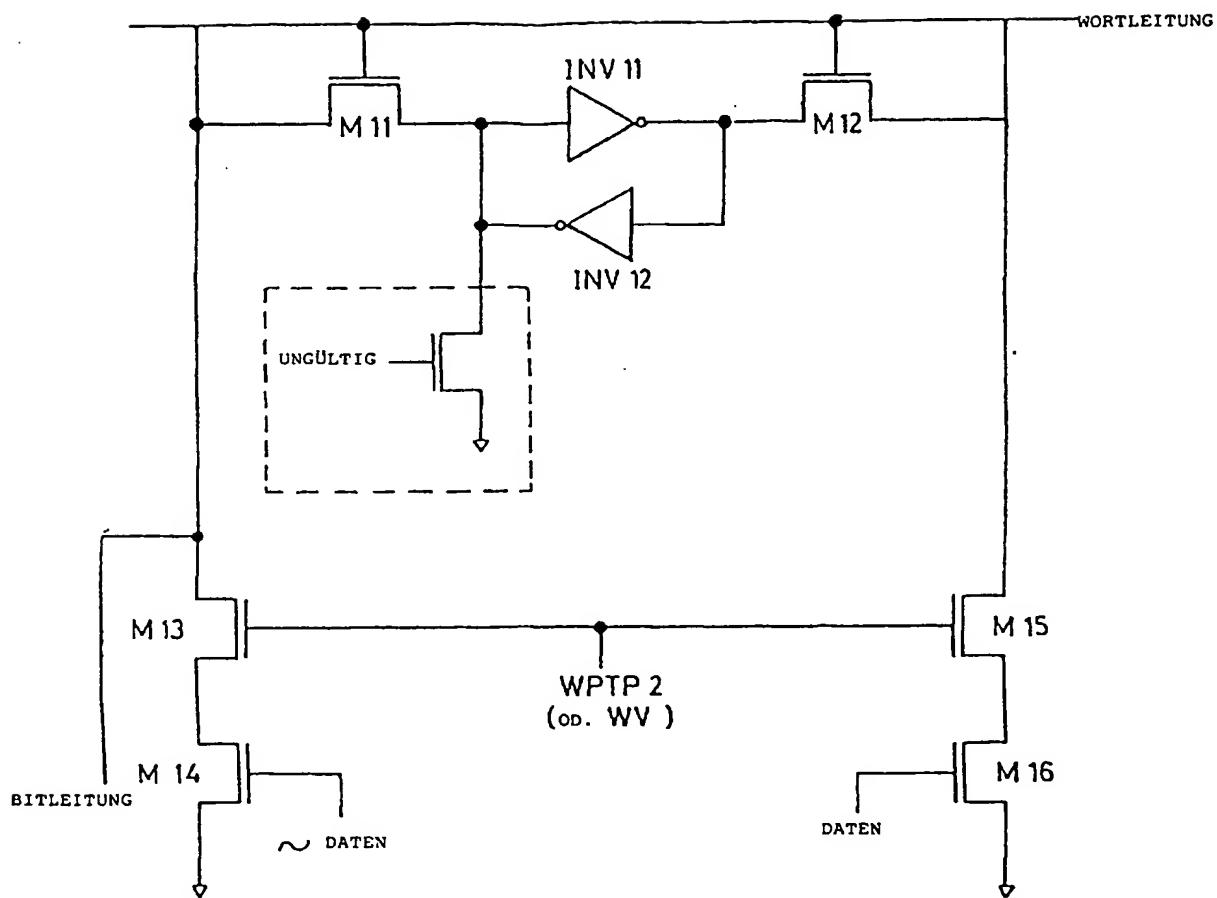


Fig. 5

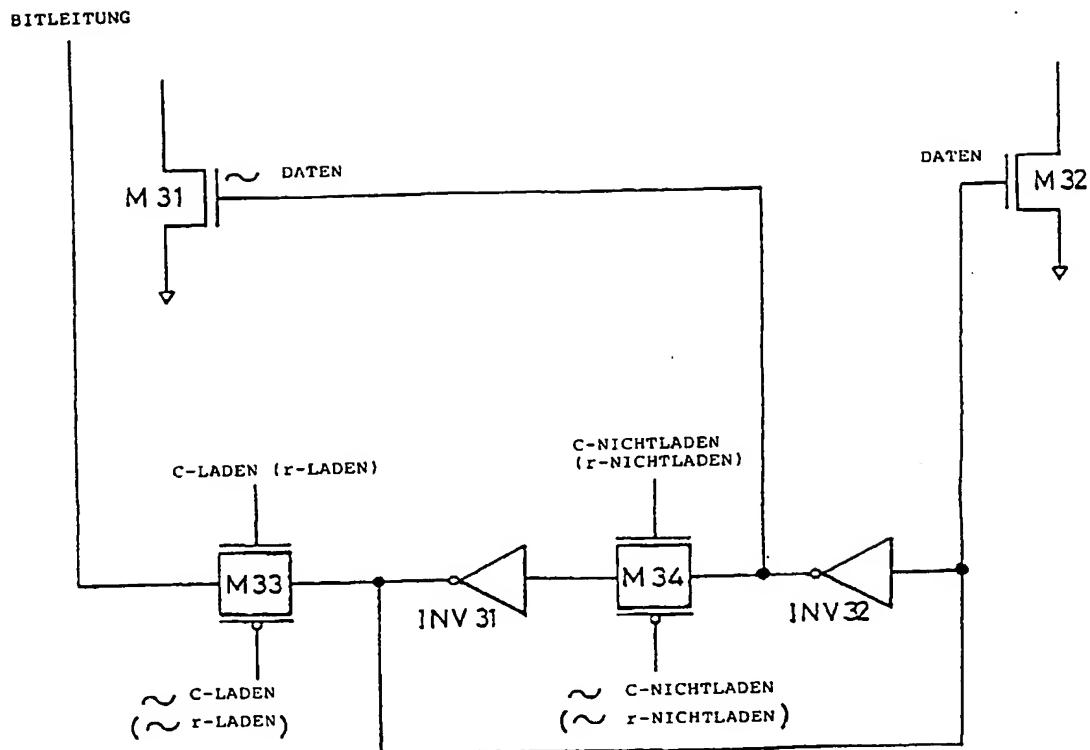


Fig. 6